

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月 4日

出 願 番 号

Application Number:

特願2002-196346

[ST.10/C]:

[JP2002-196346]

出 願 人

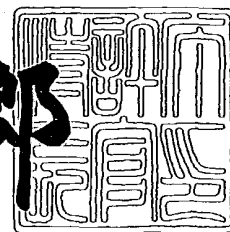
Applicant(s):

パイオニア株式会社
静岡パイオニア株式会社

2003年 1月 7日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3103948

【書類名】 特許願

【整理番号】 56P0690

【提出日】 平成14年 7月 4日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/18

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 静岡パイオ
ニア株式会社 甲府事業所内

【氏名】 重田 哲也

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 静岡パイオ
ニア株式会社 甲府事業所内

【氏名】 長久保 哲朗

【特許出願人】

【識別番号】 000005016

【氏名又は名称】 パイオニア株式会社

【特許出願人】

【識別番号】 398050283

【氏名又は名称】 静岡パイオニア株式会社

【代理人】

【識別番号】 100083839

【弁理士】

【氏名又は名称】 石川 泰男

【電話番号】 03-5443-8461

【手数料の表示】

【予納台帳番号】 007191

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9102133

【包括委任状番号】 0106474

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示パネル駆動装置、表示制御装置、駆動装置およびデータ転送方式

【特許請求の範囲】

【請求項 1】 表示パネルの表示を制御する表示制御部と、前記表示制御部からの信号に基づいて前記表示パネルを駆動する駆動部と、前記表示制御部および前記駆動部の間でデータ転送するデータ転送手段と、を備えた表示パネル駆動装置において、

前記データ転送手段は、前記表示制御部内に複数のトランスミッタを備えるとともに、前記駆動部内に前記複数のトランスミッタ各々と組み合わせられる複数のレシーバを備え、

前記トランスミッタ各々は、入力クロックに同期して n 倍の周波数の第 1 クロックおよび前記入力クロックと同一周波数の第 2 クロックを発生する第 1 の PLL 回路と、前記第 1 の PLL 回路から出力される前記第 1 のクロックに基づいて駆動パルス生成制御データをパラレル／シリアル変換するパラレル／シリアル変換器と、前記パラレル／シリアル変換器によりシリアル変換された信号を、差動シリアル伝送方式に従った信号に変換して前記駆動部に向けて伝送ラインを介して転送する送信部と、を備え、

前記レシーバ各々は、前記伝送ラインを介して前記各トランスミッタから転送された前記駆動パルス生成制御データを受信する受信部と、前記第 1 の PLL 回路から出力され送信される前記第 1 クロックに同期して n 倍の周波数の第 3 クロックおよび前記第 1 クロックと同一周波数の第 4 クロックを発生する第 2 の PLL 回路と、前記第 2 の PLL 回路から出力される前記第 3 クロックに基づいて、受信された前記駆動パルス生成制御データをシリアル／パラレル変換するシリアル／パラレル変換器と、を備え、

前記表示パネル駆動装置は、前記入力クロックを前記レシーバ各々に対する共通クロックとして伝送するクロック伝送手段と、前記クロック伝送手段により伝送された前記共通クロックに基づいて前記レシーバ各々から出力される信号をラッチする第 1 ラッチ回路と、を備えることを特徴とする表示パネル駆動装置。

【請求項2】 前記入力クロックでラッチされたゲート信号を前記駆動部に向けて伝送するゲート信号伝送手段と、前記ゲート信号伝送手段により伝送された前記ゲート信号に基づいて、前記第1ラッチ回路によりラッチされた信号をゲートするゲート回路と、を備えることを特徴とする請求項1に記載の表示パネル駆動装置。

【請求項3】 前記パラレル／シリアル変換器の前段に、前記駆動パルス生成制御データを前記入力クロックによりラッチする第2ラッチ回路を設け、前記シリアル／パラレル変換器と前記第1ラッチ回路の間に、前記シリアル／パラレル変換器から出力される信号を前記第4クロックでラッチする第3ラッチ回路を設けることを特徴とする請求項1に記載の表示パネル駆動装置。

【請求項4】 表示パネルの表示を制御する表示制御部と、前記表示制御部からの信号に基づいて前記表示パネルを駆動する駆動部と、前記表示制御部および前記駆動部の間でデータ転送するデータ転送手段と、を備えた表示パネル駆動装置において、

前記データ転送手段は、前記表示制御部内に複数のトランスミッタを備えるとともに、前記駆動部内に前記複数のトランスミッタ各々と組み合わせられる複数のレシーバを備え、

前記トランスミッタ各々は、入力クロックに同期して n 倍の周波数の第1クロックおよび前記入力クロックと同一周波数の第2クロックを発生する第1のPLL回路と、前記第1のPLL回路から出力される前記第1のクロックに基づいて駆動パルス生成制御データをパラレル／シリアル変換するパラレル／シリアル変換器と、前記パラレル／シリアル変換器によりシリアル変換された信号を、差動シリアル伝送方式に従った信号に変換して前記駆動部に向けて伝送ラインを介して転送する送信部と、を備え、

前記レシーバ各々は、前記伝送ラインを介して前記各トランスミッタから転送された前記駆動パルス生成制御データを受信する受信部と、前記第1のPLL回路から出力され送信される前記第1クロックに同期して n 倍の周波数の第3クロックおよび前記第1クロックと同一周波数の第4クロックを発生する第2のPLL回路と、前記第2のPLL回路から出力される前記第3クロックに基づいて、

受信された前記駆動パルス生成制御データをシリアル／パラレル変換するシリアル／パラレル変換器と、を備え、

前記表示パネル駆動装置は、前記入力クロックでラッチされたゲート信号を前記駆動部に向けて伝送するゲート信号伝送手段と、前記ゲート信号伝送手段により伝送された前記ゲート信号に基づいて、前記レシーバ各々から出力される信号をゲートするゲート回路と、を備えることを特徴とする表示パネル駆動装置。

【請求項 5】 前記表示パネル駆動装置は、前記入力クロックを前記レシーバ各々に対する共通クロックとして伝送するクロック伝送手段と、前記クロック伝送手段により伝送された前記共通クロックに基づいて、前記ゲート回路から出力される信号をラッチするラッチ回路と、を備えることを特徴とする請求項 4 に記載の表示パネル駆動装置。

【請求項 6】 表示パネルの表示を制御する表示制御装置において、

請求項 1 ～ 5 のいずれか 1 項に記載の表示パネル駆動装置の前記表示制御部を備えることを特徴とする表示制御装置。

【請求項 7】 表示パネルを駆動する駆動装置において、

請求項 1 ～ 5 のいずれか 1 項に記載の表示パネル駆動装置の前記駆動部を備えることを特徴とする駆動装置。

【請求項 8】 第 1 装置と第 2 装置との間でデータ転送するデータ転送方式において、

前記第 1 装置内に複数のトランスミッタを備えるとともに、前記第 2 装置内に前記複数のトランスミッタ各々と組み合わせられる複数のレシーバを備え、

前記トランスミッタ各々は、入力クロックに同期して n 倍の周波数の第 1 クロックおよび前記入力クロックと同一周波数の第 2 クロックを発生する第 1 の PLL 回路と、前記第 1 の PLL 回路から出力される前記第 1 のクロックに基づいてデータをパラレル／シリアル変換するパラレル／シリアル変換器と、前記パラレル／シリアル変換器によりシリアル変換された信号を差動シリアル伝送方式に従った信号に変換して前記第 2 装置に向けて伝送ラインを介して転送する送信部と、を備え、

前記レシーバ各々は、前記伝送ラインを介して各トランスミッタから転送され

た前記データを受信する受信部と、前記第1のPLL回路から出力され送信される前記第1クロックに同期して n 倍の周波数の第3クロックおよび前記第1クロックと同一周波数の第4クロックを発生する第2のPLL回路と、前記第2のPLL回路から出力される前記第3クロックに基づいて、受信された前記データをシリアル/パラレル変換するシリアル/パラレル変換器と、を備え、

前記データ転送方式は、前記入力クロックを前記レシーバ各々に対する共通クロックとして伝送するクロック伝送手段と、前記クロック伝送手段により伝送された前記共通クロックに基づいて前記レシーバ各々から出力される信号をラッチする第1ラッチ回路と、を備えることを特徴とするデータ転送方式。

【請求項9】 前記入力クロックでラッチされたゲート信号を前記第2装置に向けて伝送するゲート信号伝送手段と、前記ゲート信号伝送手段により伝送された前記ゲート信号に基づいて、前記第1ラッチ回路によりラッチされた信号をゲートするゲート回路と、を備えることを特徴とする請求項8に記載のデータ転送方式。

【請求項10】 前記パラレル/シリアル変換器の前段に、前記データを前記入力クロックによりラッチする第2ラッチ回路を設け、前記シリアル/パラレル変換器と前記第1ラッチ回路の間に、前記シリアル/パラレル変換器から出力される信号を前記第4クロックでラッチする第3ラッチ回路を設けることを特徴とする請求項8に記載のデータ転送方式。

【請求項11】 第1装置と第2装置との間でデータ転送するデータ転送方式において、

前記第1装置内に複数のトランスミッタを備えるとともに、前記第2装置内に前記複数のトランスミッタ各々と組み合わせられる複数のレシーバを備え、

前記トランスミッタ各々は、入力クロックに同期して n 倍の周波数の第1クロックおよび前記入力クロックと同一周波数の第2クロックを発生する第1のPLL回路と、前記第1のPLL回路から出力される前記第1のクロックに基づいてデータをパラレル/シリアル変換するパラレル/シリアル変換器と、前記パラレル/シリアル変換器によりシリアル変換された信号を差動シリアル伝送方式に従った信号に変換して前記第2装置に向けて伝送ラインを介して転送する送信部と

、を備え、

前記レシーバ各々は、前記伝送ラインを介して各トランスミッタから転送された前記データを受信する受信部と、前記第 1 の PLL 回路から出力され送信される前記第 1 クロックに同期して n 倍の周波数の第 3 クロックおよび前記第 1 クロックと同一周波数の第 4 クロックを発生する第 2 の PLL 回路と、前記第 2 の PLL 回路から出力される前記第 3 クロックに基づいて、受信された前記データをシリアル／パラレル変換するシリアル／パラレル変換器と、を備え、

前記データ転送方式は、前記入力クロックでラッチされたゲート信号を前記第 2 装置に向けて伝送するゲート信号伝送手段と、前記ゲート信号伝送手段により伝送された前記ゲート信号に基づいて、前記レシーバ各々から出力される信号をゲートするゲート回路と、を備えることを特徴とするデータ転送方式。

【請求項 1 2】 前記データ転送方式は、前記入力クロックを前記レシーバ各々に対する共通クロックとして伝送するクロック伝送手段と、前記クロック伝送手段により伝送された前記共通クロックに基づいて、前記ゲート回路から出力される信号をラッチするラッチ回路と、を備えることを特徴とする請求項 1 1 に記載のデータ転送方式。

【請求項 1 3】 データを送信するデータ送信装置において、

請求項 8 ～ 1 2 のいずれか 1 項に記載のデータ転送方式を構成する前記第 1 の装置を備えることを特徴とするデータ送信装置。

【請求項 1 4】 データを受信するデータ受信装置において、

請求項 8 ～ 1 2 のいずれか 1 項に記載のデータ転送方式を構成する前記第 2 の装置を備えることを特徴とするデータ受信装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、プラズマディスプレイパネルなどのマトリクス方式の表示パネルを駆動する表示パネル駆動装置等に関する。

【0 0 0 2】

【従来の技術】

特開平11-95713号公報には、表示装置内においてデジタルデータである画像データ等をライン上で伝送する表示パネル駆動装置が記載されている。ここでは、このデジタル信号をLVDS (Low Voltage Differential Signaling) で伝送する方式(差動シリアル伝送方式)が用いられており、LVDSトランスミッタ/レシーバによりデジタル信号の送受信を行っている。LVDSによる伝送方式は、2本の信号線を対称的に逆相で駆動し、2本の信号線の電位差を伝送する方式であるため、外部から混入するノイズが打ち消しあって信号に影響を与えにくい等の特長がある。

【0003】

【発明が解決しようとする課題】

しかし、表示パネルの高精細化などに伴い、伝送信号数が増加し、あるいは転送先基板の数が複数となると、LVDSトランスミッタ/レシーバが複数組必要となる。このような場合、各レシーバが受ける信号は互いに異なる経路を介して転送されるため、スキュー(タイミングずれ)が発生し、レシーバの後段に位置するドライバへの駆動パルス生成制御データの入力タイミングがずれて誤動作が発生させるおそれがある。

【0004】

本発明は、信号間のスキューを排除することができる表示パネル駆動装置等を提供することを目的とする。

【0005】

【課題を解決するための手段】

請求項1に記載の表示パネル駆動装置は、表示パネルの表示を制御する表示制御部と、前記表示制御部からの信号に基づいて前記表示パネルを駆動する駆動部と、前記表示制御部および前記駆動部の間でデータ転送するデータ転送手段と、を備えた表示パネル駆動装置において、前記データ転送手段は、前記表示制御部内に複数のトランスミッタを備えるとともに、前記駆動部内に前記複数のトランスミッタ各々と組み合わされる複数のレシーバを備え、前記トランスミッタ各々は、入力クロックに同期して n 倍の周波数の第1クロックおよび前記入力クロックと同一周波数の第2クロックを発生する第1のPLL回路と、前記第1のPL

L回路から出力される前記第1のクロックに基づいて駆動パルス生成制御データをパラレル／シリアル変換するパラレル／シリアル変換器と、前記パラレル／シリアル変換器によりシリアル変換された信号を、差動シリアル伝送方式に従った信号に変換して前記駆動部に向けて伝送ラインを介して転送する送信部と、を備え、前記レシーバ各々は、前記伝送ラインを介して前記各トランスミッタから転送された前記駆動パルス生成制御データを受信する受信部と、前記第1のPLL回路から出力され送信される前記第1クロックに同期してn倍の周波数の第3クロックおよび前記第1クロックと同一周波数の第4クロックを発生する第2のPLL回路と、前記第2のPLL回路から出力される前記第3クロックに基づいて、受信された前記駆動パルス生成制御データをシリアル／パラレル変換するシリアル／パラレル変換器と、を備え、前記表示パネル駆動装置は、前記入力クロックを前記レシーバ各々に対する共通クロックとして伝送するクロック伝送手段と、前記クロック伝送手段により伝送された前記共通クロックに基づいて前記レシーバ各々から出力される信号をラッチする第1ラッチ回路と、を備えることを特徴とする。

【0006】

請求項4に記載の発明は、表示パネルの表示を制御する表示制御部と、前記表示制御部からの信号に基づいて前記表示パネルを駆動する駆動部と、前記表示制御部および前記駆動部の間でデータ転送するデータ転送手段と、を備えた表示パネル駆動装置において、前記データ転送手段は、前記表示制御部内に複数のトランスミッタを備えるとともに、前記駆動部内に前記複数のトランスミッタ各々と組み合わせられる複数のレシーバを備え、前記トランスミッタ各々は、入力クロックに同期してn倍の周波数の第1クロックおよび前記入力クロックと同一周波数の第2クロックを発生する第1のPLL回路と、前記第1のPLL回路から出力される前記第1のクロックに基づいて駆動パルス生成制御データをパラレル／シリアル変換するパラレル／シリアル変換器と、前記パラレル／シリアル変換器によりシリアル変換された信号を、差動シリアル伝送方式に従った信号に変換して前記駆動部に向けて伝送ラインを介して転送する送信部と、を備え、前記レシーバ各々は、前記伝送ラインを介して前記各トランスミッタから転送された前記駆

動パルス生成制御データを受信する受信部と、前記第1のPLL回路から出力され送信される前記第1クロックに同期して n 倍の周波数の第3クロックおよび前記第1クロックと同一周波数の第4クロックを発生する第2のPLL回路と、前記第2のPLL回路から出力される前記第3クロックに基づいて、受信された前記駆動パルス生成制御データをシリアル/パラレル変換するシリアル/パラレル変換器と、を備え、前記表示パネル駆動装置は、前記入力クロックでラッチされたゲート信号を前記駆動部に向けて伝送するゲート信号伝送手段と、前記ゲート信号伝送手段により伝送された前記ゲート信号に基づいて、前記レシーバ各々から出力される信号をゲートするゲート回路と、を備えることを特徴とする。

【0007】

請求項8に記載のデータ転送方式は、第1装置と第2装置との間でデータ転送するデータ転送方式において、前記第1装置内に複数のトランスミッタを備えるとともに、前記第2装置内に前記複数のトランスミッタ各々と組み合わせられる複数のレシーバを備え、前記トランスミッタ各々は、入力クロックに同期して n 倍の周波数の第1クロックおよび前記入力クロックと同一周波数の第2クロックを発生する第1のPLL回路と、前記第1のPLL回路から出力される前記第1のクロックに基づいてデータをパラレル/シリアル変換するパラレル/シリアル変換器と、前記パラレル/シリアル変換器によりシリアル変換された信号を差動シリアル伝送方式に従った信号に変換して前記第2装置に向けて伝送ラインを介して転送する送信部と、を備え、前記レシーバ各々は、前記伝送ラインを介して各トランスミッタから転送された前記データを受信する受信部と、前記第1のPLL回路から出力され送信される前記第1クロックに同期して n 倍の周波数の第3クロックおよび前記第1クロックと同一周波数の第4クロックを発生する第2のPLL回路と、前記第2のPLL回路から出力される前記第3クロックに基づいて、受信された前記データをシリアル/パラレル変換するシリアル/パラレル変換器と、を備え、前記データ転送方式は、前記入力クロックを前記レシーバ各々に対する共通クロックとして伝送するクロック伝送手段と、前記クロック伝送手段により伝送された前記共通クロックに基づいて前記レシーバ各々から出力される信号をラッチする第1ラッチ回路と、を備えることを特徴とする。

【0008】

請求項11に記載の発明は、第1装置と第2装置との間でデータ転送するデータ転送方式において、前記第1装置内に複数のトランスミッタを備えるとともに、前記第2装置内に前記複数のトランスミッタ各々と組み合わせられる複数のレシーバを備え、前記トランスミッタ各々は、入力クロックに同期して n 倍の周波数の第1クロックおよび前記入力クロックと同一周波数の第2クロックを発生する第1のPLL回路と、前記第1のPLL回路から出力される前記第1のクロックに基づいてデータをパラレル/シリアル変換するパラレル/シリアル変換器と、前記パラレル/シリアル変換器によりシリアル変換された信号を差動シリアル伝送方式に従った信号に変換して前記第2装置に向けて伝送ラインを介して転送する送信部と、を備え、前記レシーバ各々は、前記伝送ラインを介して各トランスミッタから転送された前記データを受信する受信部と、前記第1のPLL回路から出力され送信される前記第1クロックに同期して n 倍の周波数の第3クロックおよび前記第1クロックと同一周波数の第4クロックを発生する第2のPLL回路と、前記第2のPLL回路から出力される前記第3クロックに基づいて、受信された前記データをシリアル/パラレル変換するシリアル/パラレル変換器と、を備え、前記データ転送方式は、前記入力クロックでラッチされたゲート信号を前記第2装置に向けて伝送するゲート信号伝送手段と、前記ゲート信号伝送手段により伝送された前記ゲート信号に基づいて、前記レシーバ各々から出力される信号をゲートするゲート回路と、を備えることを特徴とする。

【0009】

【発明の実施の形態】

以下、図1～図3を参照して、本発明による表示パネル駆動装置の一実施形態について説明する。図1は本実施形態の表示パネル駆動装置を示すブロック図である。

【0010】

図1に示すように、本実施形態の表示パネル駆動装置100は、表示制御部100Aと、駆動部100Bと、をツイストケーブル等からなる伝送ラインLにより互いに接続して構成される。

【0011】

図1に示すように、表示制御部100Aは、アドレスデータを逐次記憶するフレームメモリ1と、フレームメモリ1へのアドレスデータの書き込みおよびフレームメモリ1からのアドレスデータの読み出しを制御するメモリ制御部2と、装置各部を制御する制御部5と、フレームメモリ1から読み出されたアドレスデータを制御部5からの共通クロックに基づいてラッチするラッチ回路La1, La2, ... Lamと、ラッチ回路La1, La2, ... Lamでそれぞれラッチされた多ビットの平行データであるアドレスデータをシリアル差動信号に変換するトランスミッタTa1, Ta2, ... Tamと、制御部5から出力されたゲート信号を制御部5からの共通クロックに基づいてラッチするラッチ回路6と、制御部5から出力された駆動パルス生成制御データを制御部5からの共通クロックに基づいてラッチするラッチ回路Lb1, Lb2, ... Lbnと、ラッチ回路Lb1, Lb2, ... Lbnでそれぞれラッチされた駆動パルス生成制御データをシリアル差動信号に変換するトランスミッタTb1, Tb2, ... Tbnと、制御部5から出力されたゲート信号を制御部5からの共通クロックに基づいてラッチするラッチ回路7と、を備える。

【0012】

また、駆動部100Bは、トランスミッタTa1, Ta2, ... Tamから伝送ラインLを介して転送されたシリアル差動信号をそれぞれ平行データに変換するレシーバRa1, Ra2, ... Ramと、レシーバRa1, Ra2, ... Ramから出力される平行データをレシーバRa1, Ra2, ... Ramからのクロックに基づいてラッチするラッチ回路Lc1, Lc2, ... Lcmと、ラッチ回路Lc1, Lc2, ... Lcmから出力される平行データを制御部5からの共通クロックに基づいてラッチするラッチ回路Ld1, Ld2, ... Ldmと、ラッチ回路6から出力されるゲート信号およびラッチ回路Ld1, Ld2, ... Ldmから出力される平行データが入力されるアンド回路8, 8, ... と、アンド回路8, 8, ... からのアドレスデータがそれぞれ入力されるアドレスドライバAD1, AD2, ... ADmと、トランスミッタTb1, Tb2, ... Tbnから伝送ラインLを介して転送されたシ

リアル差動信号をそれぞれパラレルデータに変換するレシーバR b 1, R b 2, . . . R b nと、レシーバR b 1, R b 2, . . . R b nから出力されるパラレルデータをレシーバR b 1, R b 2, . . . R b nからのクロックに基づいてラッチするラッチ回路L e 1, L e 2, . . . L e nと、ラッチ回路L e 1, L e 2, . . . L e nから出力されるパラレルデータを制御部5からの共通クロックに基づいてラッチするラッチ回路L f 1, L f 2, . . . L f nと、ラッチ回路7から出力されるゲート信号およびラッチ回路L f 1, L f 2, . . . L f nから出力されるパラレルデータが入力されるアンド回路9, 9, . . . と、アンド回路9, 9, . . . からの駆動パルス生成制御データがそれぞれ入力されるサステインドライバS T 1, S T 2, . . . S T nと、を備える。

【 0 0 1 3 】

図1に示すように、制御部5から出力された共通クロックは、伝送ラインLに含まれるクロック伝送ラインL 1およびクロック伝送ラインL 2を介して伝送され、それぞれラッチ回路L d 1, L d 2, . . . L d nおよびラッチ回路L f 1, L f 2, . . . L f nに与えられる。また、ラッチ回路6およびラッチ回路7でラッチされたゲート信号は、それぞれゲート信号伝送ラインL 3およびゲート信号伝送ラインL 4を介して伝送され、アンド回路8およびアンド回路9に与えられる。

【 0 0 1 4 】

後述するように、上記ラッチ回路L d 1, L d 2, . . . L d mは、共通クロックに基づいてアドレスデータを同時にラッチすることで、アドレスデータの出力タイミングを一致させるためのものである。また、上記アンド回路8, 8, . . . はゲート信号に基づいてアドレスデータの出力タイミングを微調整するためのものである。

【 0 0 1 5 】

図1に示すように、トランスミッタT a 1, T a 2, . . . T a mは、制御部5からの共通クロックを受けて送信クロックを生成するPLL部1 1と、ラッチ回路L a 1, L a 2, . . . L a mによりラッチされたパラレルデータをPLL部1 1からの、制御部5から入力された共通クロックのn倍の周波数のクロック

に基づいてシリアル化するパラレル／シリアル変換部12と、パラレル／シリアル変換部12から出力されたシリアルデータを伝送ラインLを介して差動シリアル送信する送信出力部13と、をそれぞれ備える。また、トランスミッタTb1, Tb2, … Tb_mは、トランスミッタTa1, Ta2, … Ta_mと同様の構成を備える。なお、図1では、トランスミッタTa1についてのみ構成を図示している。

【0016】

レシーバRa1, Ra2, … Ra_mは、伝送ラインを介して転送された差動シリアル信号を受信する受信部21と、伝送ラインを介して転送された転送クロックを受けてクロックを生成するPLL部22と、受信部21から出力されるシリアル信号をPLL部22からの、転送クロックのn倍の周波数のクロックに基づいてパラレルデータ化するシリアル／パラレル変換部23と、をそれぞれ備える。また、レシーバRb1, Rb2, … Rb_mは、レシーバRa1, Ra2, … Ra_mと同様の構成を備える。なお、図1では、レシーバRa1についてのみ構成を図示している。

【0017】

トランスミッタTa1, Ta2, … Ta_m、トランスミッタTb1, Tb2, … Tb_m、レシーバRa1, Ra2, … Ra_mおよびレシーバRb1, Rb2, … Rb_mについて、上記転送クロックおよびPLL部22からラッチ回路Lc1, Lc2, … Lc_mに与えられるクロックは、ともに、PLL部11に入力される共通クロックと同一周波数である。

【0018】

プラズマディスプレイパネル30には、列電極および行電極が設けられ、個々の列電極にはアドレスドライバAD1, AD2, … AD_mが、個々の行電極にはサステインドライバST1, ST2, … ST_nが、それぞれ接続される。

【0019】

次に、図2および図3を参照して、パネル駆動装置100の動作について説明する。

【0020】

図2は1フィールドの構成を示している。プラズマディスプレイパネル30を駆動する期間としての1フィールドは、複数のサブフィールドSF1～SFNにより構成される。図2に示すように、各サブフィールドには、点灯させるセルを選択するアドレス期間と、そのアドレス期間において選択されたセルを所定時間点灯させ続けるサステイン期間とが設けられている。また、最初のサブフィールドであるSF1の先頭部分には、前のフィールドでの点灯状態をリセットするためのリセット期間がさらに設けられている。このリセット期間では、すべてのセルを点灯セル（壁電荷が形成されているセル）に、または消灯セル（壁電荷が形成されていないセル）にリセットする。前者の場合には、後続のアドレス期間において所定のセルを消灯セルに切換え、後者の場合には、後続のアドレス期間において所定のセルを点灯セルに切換える。サステイン期間はサブフィールドSF1～SFNの順に段階的に長くされており、点灯させ続けるサブフィールドの個数を変化させることにより、所定の階調表示が可能とされている。

【0021】

図3は各電極に供給される駆動パルスを示している。図3では、m列の列電極を列電極Z1～Zmとして、n行（但し、nは偶数）の行電極を行電極X1～X $n/2$ および行電極Y1～Y $n/2$ として、それぞれ示している。列電極Z1～Zmは、アドレスドライバAD1, AD2, … ADmに、行電極X1～X $n/2$ はサステインドライバST1, ST3, ST5, … ST $n-1$ に、行電極Y1～Y $n/2$ はサステインドライバST2, ST4, ST6, … STnに、それぞれ接続されている。

【0022】

図3に示す各サブフィールドのアドレス期間では、1ラインごとにアドレス走査が行われる。すなわち、第1のラインを構成する行電極Y1に走査パルスが印加されると同時に、列電極Z1～Zmに第1のラインのセルに対応するアドレスデータに応じたデータパルスDP1が印加され、次に第2のラインを構成する行電極Y2に走査パルスが印加されると同時に、列電極Z1～Zmに第2のセルに対応するアドレスデータに応じたデータパルスDP2が印加される。第3のライ

ン以下についても同様に走査パルスおよびデータパルスが同時に印加される。最後に、第 n のラインを構成する行電極 Y_n に走査パルスが印加されると同時に、列電極 $Z_1 \sim Z_m$ に第 n のラインのセルに対応するアドレスデータに応じたデータパルス DP_n が印加される。上記のようにアドレス期間では、所定のセルを点灯セルから消灯セルに、または消灯セルから点灯セルに切換える。

【 0 0 2 3 】

このようにしてアドレス走査が終了すると、サブフィールドにおけるすべてのセルが、それぞれ点灯セルあるいは消灯セルのいずれかに設定されており、次のサステイン期間においてサステインパルスが印加されるごとに点灯セルのみ発光を繰り返す。図 3 に示すように、サステイン期間では行電極 $X_1 \sim X_n$ および行電極 $Y_1 \sim Y_n$ に対し、 X サステインパルスおよび Y サステインパルスが、それぞれ所定のタイミングで繰り返し印加される。そして、最後のサブフィールド S_{FN} には、全セルを消灯セルに設定する消去期間が設けられている。

【 0 0 2 4 】

次に、プラズマディスプレイパネル 30 の駆動に用いられるアドレスデータおよび駆動パルス生成制御データを扱う信号処理について説明する。

【 0 0 2 5 】

図 1 に示すように、フレームメモリ 1 から読み出されたアドレスデータは、ラッチ回路 La_1, La_2, \dots, La_m 、トランスミッタ Ta_1, Ta_2, \dots, Ta_m 、伝送ライン L 、レシーバ Ra_1, Ra_2, \dots, Ra_m 、ラッチ回路 Lc_1, Lc_2, \dots, Lc_m 、ラッチ回路 Ld_1, Ld_2, \dots, Ld_m およびアンド回路 8, 8, \dots を介して、アドレスドライバ AD_1, AD_2, \dots, AD_m に入力される。

【 0 0 2 6 】

また、制御部 5 から出力された駆動パルス生成制御データは、ラッチ回路 Lb_1, Lb_2, \dots, Lb_n 、トランスミッタ Tb_1, Tb_2, \dots, Tb_n 、伝送ライン L 、レシーバ Rb_1, Rb_2, \dots, Rb_n 、ラッチ回路 Le_1, Le_2, \dots, Le_n 、ラッチ回路 Lf_1, Lf_2, \dots, Lf_n およびアンド回路 9, 9, \dots を介してサステインドライバ ST_1, ST_2, \dots, ST_n に入

力される。

【0027】

図1に示すように、表示パネル駆動装置100では、アドレスデータがプラズマディスプレイパネル30の列電極ごと、すなわち、アドレスドライバAD1, AD2, … ADm各々に対して異なる経路で伝送される。また、ラッチ回路Lc1, Lc2, … Lcmでは、各経路で伝送されたクロックに基づいて、アドレスデータがそれぞれラッチされる。このため、ラッチ回路Lc1, Lc2, … Lcmによりラッチされるアドレスデータは、伝送経路ごとにラッチのタイミングが異なる可能性がある。しかし、表示パネル駆動装置100では、アドレスデータとは別経路により伝送された制御部5からの共通クロックに基づいて、ラッチ回路Ld1, Ld2, … Ldmにおいて改めてアドレスデータをラッチしている。また、ラッチ回路Ld1, Ld2, … Ldmにおいてラッチされたアドレスデータに対し、アンド回路8, 8, …においてさらに共通のゲート信号に基づいて出力タイミングを微調整している。このため、表示パネル駆動装置100では、アンド回路8, 8, …から出力されアドレスドライバAD1, AD2, … ADmに入力されるアドレスデータのタイミングずれを防止することができる。

【0028】

また、表示パネル駆動装置100では、駆動パルス生成制御データがプラズマディスプレイパネル30の行電極ごと、すなわち、サステインドライバST1, ST2, … STm各々に対して異なる経路で伝送される。また、ラッチ回路Le1, Le2, … Lenでは、各経路で伝送されたクロックに基づいて、駆動パルス生成制御データがそれぞれラッチされる。このため、ラッチ回路Le1, Le2, … Lenによりラッチされる駆動パルス生成制御データは、伝送経路ごとにラッチのタイミングが異なる可能性がある。しかし、表示パネル駆動装置100では、駆動パルス生成制御データとは別経路により伝送された制御部5からの共通クロックに基づいて、ラッチ回路Lf1, Lf2, … Lfmにおいて改めて駆動パルス生成制御データをラッチしている。また、ラッチ回路Lf1, Lf2, … Lfmにおいてラッチされた駆動パルス生成制御データ

に対し、アンド回路 9, 9, . . . においてさらに共通のゲート信号に基づいて出力タイミングを微調整している。このため、表示パネル駆動装置 1 0 0 では、アンド回路 9, 9, . . . から出力されサステインドライバ S T 1, S T 2, . . . S T n に入力される駆動パルス生成制御データのタイミングずれを防止することができる。

【 0 0 2 9 】

以上説明したように、本実施形態の形態の表示パネル駆動装置 1 0 0 では、別々の伝送経路で伝送され受信されたアドレスデータに対し、同一の共通クロックでラッチしているので、アドレスデータ間のスキューを排除できる。また、共通クロックでラッチされたアドレスデータに対し、さらに共通クロックでラッチされた共通のゲート信号によるゲート制御を実行しているため、アドレスデータ間のタイミングをさらに正確に合わせ込むことができる。

【 0 0 3 0 】

また、本実施形態の形態の表示パネル駆動装置 1 0 0 では、別々の伝送経路で伝送され受信された駆動パルス生成制御データに対し、同一の共通クロックでラッチしているので、駆動パルス生成制御データ間のスキューを排除できる。また、共通クロックでラッチされた駆動パルス生成制御データに対し、さらに共通クロックでラッチされた共通のゲート信号によるゲート制御を実行しているため、駆動パルス生成制御データ間のタイミングをさらに正確に合わせ込むことができる。

【 0 0 3 1 】

なお、本実施形態では、L V D S を用いた差動シリアル伝送方式を採用しているため、ノイズの影響を受けにくく、外部に対するノイズの輻射が減少する等の利点がある。

【 0 0 3 2 】

上記実施形態では、ラッチ回路 L d 1, L d 2, . . . L d m においてラッチされたアドレスデータに対し、アンド回路 8, 8, . . . においてさらに共通のゲート信号に基づいて出力タイミングを微調整している。また、ラッチ回路 L f 1, L f 2, . . . L f m においてラッチされた駆動パルス生成制御データに対

し、アンド回路 9, 9, . . . においてさらに共通のゲート信号に基づいて出力タイミングを微調整している。しかし、本発明の表示パネル駆動装置はこのような構成に限定されない。上記実施形態において、アンド回路 8, 8, . . . あるいはアンド回路 9, 9, . . . を省略し、ラッチ回路 L d 1, L d 2, . . . L d m あるいはラッチ回路 L f 1, L f 2, . . . L f m によるラッチ動作のみにより信号のタイミングを合わせることもできる。また、ラッチ回路 L d 1, L d 2, . . . L d m あるいはラッチ回路 L f 1, L f 2, . . . L f m を省略し、アンド回路 8, 8, . . . あるいはアンド回路 9, 9, . . . によるゲート動作のみで信号のタイミングを合わせることもできる。さらに、ラッチ回路 L d 1, L d 2, . . . L d m あるいはラッチ回路 L f 1, L f 2, . . . L f m とアンド回路 8, 8, . . . あるいはアンド回路 9, 9, . . . の位置を入れ替えた構成を採用することもできる。

【 0 0 3 3 】

すなわち、本発明による表示パネル装置は、①共通クロックにより動作するラッチ回路のみを用いた構成、②ゲート信号により動作するゲート回路のみを用いた構成、③共通クロックにより動作するラッチ回路を前段に、ゲート信号により動作するゲート回路を後段に、それぞれ設けた構成、④ゲート信号により動作するゲート回路を前段に、共通クロックにより動作するラッチ回路を後段に、それぞれ設けた構成、のいずれを採用することもできる。

【 0 0 3 4 】

上記実施形態では、表示パネルとしてプラズマディスプレイパネルを例示しているが、本発明は表示パネルとして液晶表示パネル、E L 表示パネル等の各種パネルに対し適用できる。

【 0 0 3 5 】

また、上記実施形態では、プラズマディスプレイパネル 3 0 を駆動する表示パネル駆動装置への適用について例示したが、本発明は表示パネル駆動装置への適用に限定されることなく、伝送ラインを介して装置間で信号を転送する場合に広く適用することができる。

【 0 0 3 6 】

なお、上記実施形態における「アドレスデータ」は、特許請求の範囲に記載された「駆動パルス生成制御データ」に含まれる。

【図面の簡単な説明】

【図 1】

本実施形態の表示パネル駆動装置を示すブロック図。

【図 2】

1 フィールドの構成を示す図。

【図 3】

1 サブフィールド内の駆動パルスを示す図。

【符号の説明】

- 8, 9 アンド回路（ゲート回路）
- 1 1 P L L 回路（第 1 の P L L 回路）
- 1 2 パラレル／シリアル変換器
- 1 3 送信出力部（送信部）
- 2 1 受信部
- 2 2 P L L 回路（第 2 の P L L 回路）
- 2 3 シリアル／パラレル変換器
- 3 0 プラズマディスプレイパネル（表示パネル）
- 1 0 0 A 表示制御部
- 1 0 0 B 駆動部
- L 伝送ライン
- L 1, L 2 クロック伝送ライン（クロック伝送手段）
- L 3, L 4 ゲート信号伝送ライン（ゲート信号伝送手段）
- L a 1 ~ L a m ラッチ回路（第 2 ラッチ回路）
- L b 1 ~ L b n ラッチ回路（第 2 ラッチ回路）
- L c 1 ~ L c m ラッチ回路（第 3 ラッチ回路）
- L f 1 ~ L f n ラッチ回路（第 3 ラッチ回路）
- L d 1 ~ L d m ラッチ回路（第 1 ラッチ回路）
- L f 1 ~ L f n ラッチ回路（第 1 ラッチ回路）

T a 1 ~ T a m トランスミッタ

T b 1 ~ T b n トランスミッタ

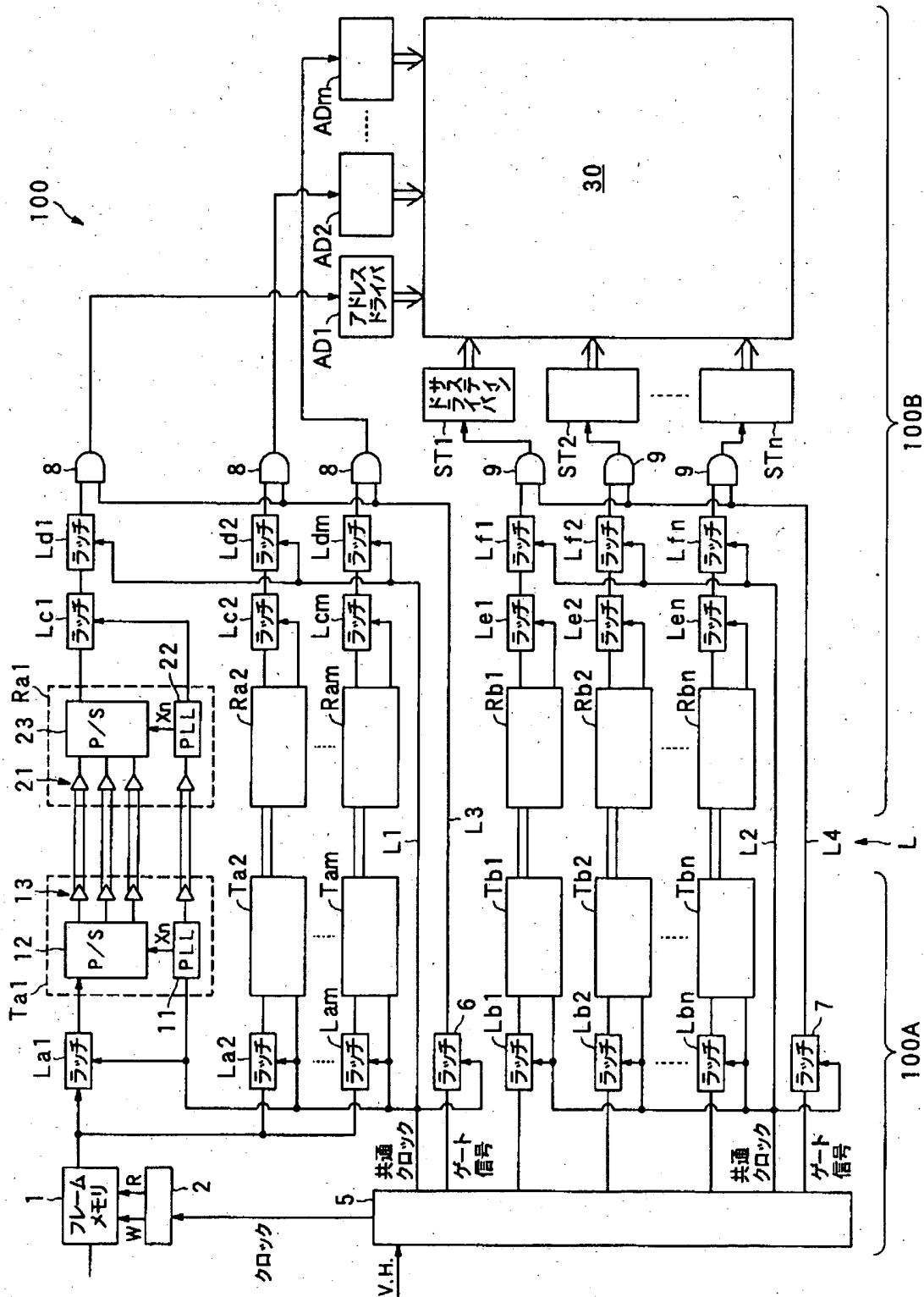
R a 1 ~ R a m レシーバ

R b 1 ~ R b n レシーバ

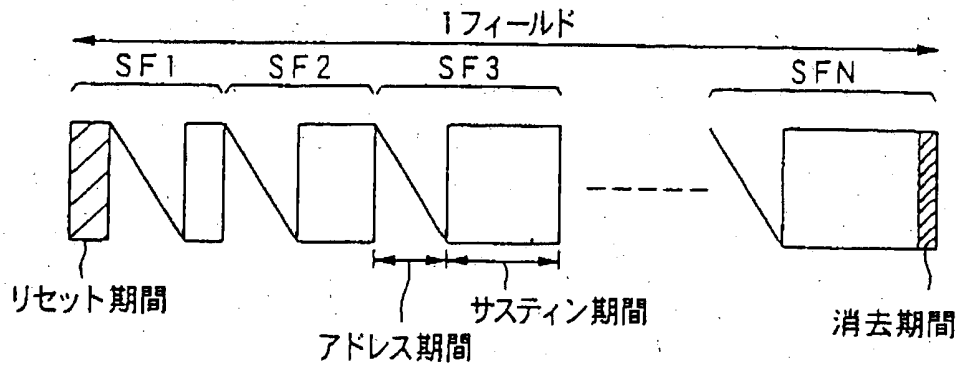
【書類名】

図面

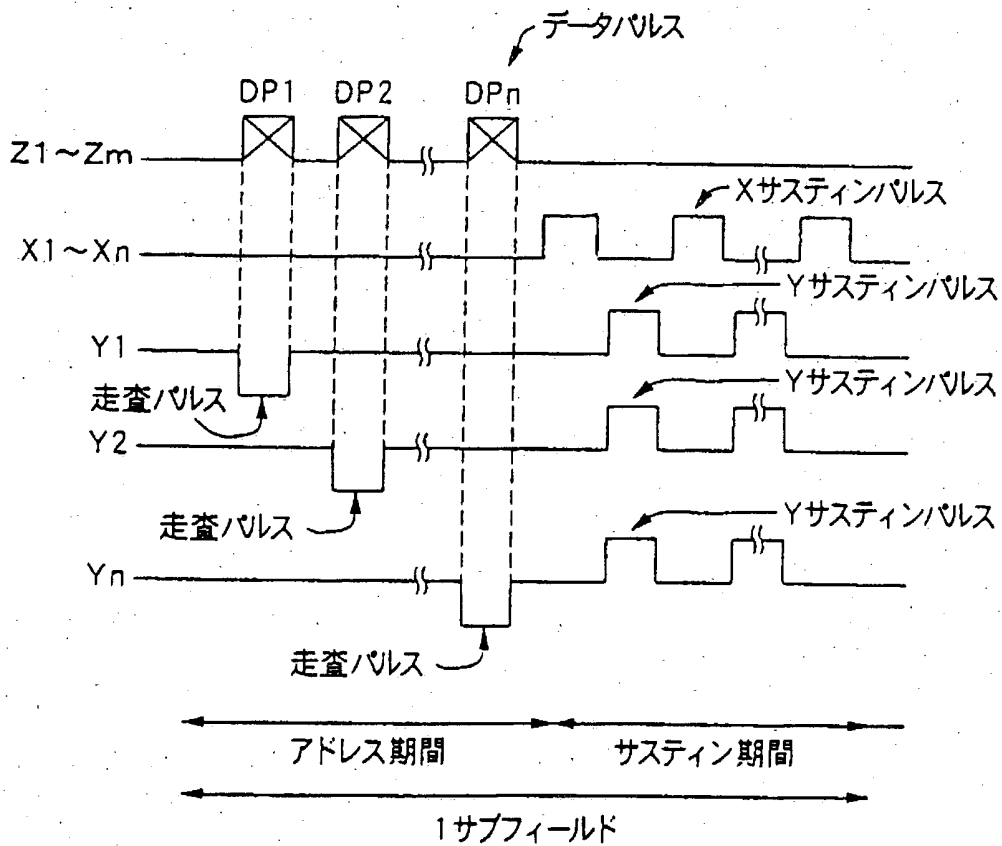
【図1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 信号間のスキューを排除することができる表示パネル駆動装置等を提供する。

【解決手段】 表示パネルの表示を制御する表示制御部100Aと、表示制御部100Aからの信号に基づいてプラズマディスプレイパネル30を駆動する駆動部100Bとを備え、表示制御部100Aおよび駆動部100Bの間でデータ転送する。表示制御部100A内には複数のトランスミッタT a 1～T a mおよびT b 1～T b nが、駆動部100B内にはこれら複数のトランスミッタ各々と組み合わされる複数のレシーバR a 1～R a mおよびR b 1～R b nが、それぞれ設けられる。表示パネル駆動装置100は、クロック伝送ラインL 1およびL 2により伝送された共通クロックに基づいてレシーバR a 1～R a mおよびR b 1～R b n各々から出力される信号をラッチするラッチ回路L d 1～L d mおよびL f 1～L f nを備える。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005016]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都目黒区目黒1丁目4番1号

氏 名 パイオニア株式会社

出 願 人 履 歴 情 報

識別番号 [398050283]

1. 変更年月日 1998年 7月16日

[変更理由] 新規登録

住 所 静岡県袋井市鷺巣字西ノ谷15の1

氏 名 静岡パイオニア株式会社